

(19) 대한민국특허청(KR)
(12) 등록실용신안공보(Y1)

(51) . Int. Cl. 6
H01L 23/48

(45) 공고일자 2001년12월17일
(11) 등록번호 20-0245730
(24) 등록일자 2001년08월28일

(21) 출원번호	20-1995-0052621	(65) 공개번호	실1997-0046977
(22) 출원일자	1995년12월29일	(43) 공개일자	1997년07월31일

(73) 실용신안권자 애플 테크놀로지 코리아 주식회사
마이클 디. 오브라이언
광주 북구 대촌동 957

(72) 고안자 김기정
서울특별시은평구역촌2동83-42호
정창복
서울특별시구로구구로5동570-93

(74) 대리인 서만규

심사관 : 유환철

(54) 반도체패키지의리드프레임구조

요약

본 고안은 반도체패키지의 리드프레임 구조에 관한 것으로, 리드프레임에 형성된 칩탑재판에 반도체칩을 부착하고, 와이어로 본딩한 다음, 컴파운드로 몰딩하고, 칩탑재판을 지지 고정하고 있는 타이바를 절단할 때 발생하는 칩 아웃의 크랙을 방지함으로써 제품의 불량률을 방지하고, 패키지의 신뢰성을 향상시킬 수 있는 것으로, 외주면의 둘레에 형성된 다수의 리드와, 상기 다수의 리드 중앙부에 위치되며 반도체칩이 탑재되는 칩탑재판과, 상기 칩탑재판의 각 모서리에 형성되어 칩탑재판을 지지 고정하는 타이바로 구성된 리드프레임 구조에 있어서, 상기 타이바의 양측면을 절결하여 그 폭을 최대한 좁게 형성한 반도체패키지의 리드프레임 구조이다.

대표도
도 1

명세서

[고안의 명칭]

반도체패키지의 리드프레임 구조

[도면의 간단한 설명]

제1도는 일반적인 반도체패키지의 리드프레임을 보인 평면도.

제2도는 제1도의 (a)부 확대도.

제3도는 제1도의 (a)부에 대한 본 고안의 요부확대도.

* 도면의 주요부분에 대한 부호의 설명

10 : 리드프레임 11 : 리드

12 : 타이바 15 : 칩탑재판

[고안의 상세한 설명]

본 고안은 반도체패키지의 리드프레임 구조에 관한 것으로, 더욱 상세하게는 리드프레임에 형성된 칩탑재판에 반도체 칩을 부착하고, 와이어로 본딩한 다음, 컴파운드로 몰딩하고, 칩탑재판을 지지 고정하고 있는 타이바를 절단할 때 발생하는 반도체 칩의 모서리부분 크랙을 방지함으로써 제품의 불량률을 방지하고, 패키지의 신뢰성을 향상시킬 수 있도록 된 반도체패키지의 리드프레임 구조에 관한 것이다.

일반적으로 반도체패키지에서 리드프레임(10)은 그 둘레에 다수의 리드(11)가 배열되어 있으며, 상기 다수의 리드(11) 중앙부에는 반도체 칩이 탑재되는 칩탑재판(15)이 구비되고, 상기 칩탑재판(15)은 각 모서리에 형성된 타이바(12)에 의해 지지 고정된 구조이다.

이러한 리드프레임(10)은 칩탑재판(15)의 상부에 에폭시를 도포하여 반도체칩을 부착하고, 상기 반도체 칩 상에 구비된 다수의 칩패드와 다수의 리드(11)를 전기적인 신호를 전달할 수 있도록 와이어로 본딩한 후, 컴파운드로 몰딩하여 패키지를 완성하는 것이다.

이와 같이 컴파운드로 몰딩한 다음에는 트림 및 포밍공정을 거치는데, 상기 트림공정은 리드(11)와 리드(11)를 연결하고 있는 댄바(11') 및 칩탑재판(15)을 지지 고정하고 있는 타이바(12)를 절단하는 공정으로서, 이와 같이 댄바(11') 및 타이바를 절단할 때에는 펀치에 의해 절단되므로 그 하중에 의해 크랙이 발생되어 패키지의 불량률을 일으키는 요인이 되었다.

특히, 종래의 리드프레임 구조는 칩탑재판(15)을 지지 고정하고 있는 타이바(12)가 제2도에서 도시된 바와 같이 넓은 면적을 차지하고 있어 트림시 펀치에 의해 절단되는 면적이 크게 되어 반도체 칩의 모서리부분 하중을 많이 받음으로서 상대적으로 전단응력이 크게되어 크랙이 발생하는 것이다. 이와 같은 크랙의 발생은 리드프레임의 리드에도 전달되어 패키지의 불량률을 일으키는 문제점이 있었던 것이다.

따라서, 본 고안은 이러한 문제점을 해소하기 위해 안출된 것으로, 칩탑재판을 지지 고정하고 있는 타이바의 면적을 최대한 좁게 형성하여 트림공정시 받는 전단응력을 줄임으로서 크랙의 발생을 방지하여 패키지의 신뢰성을 향상시킬 수 있는 반도체패키지의 리드프레임 구조를 제공함에 그 목적이 있다.

이러한, 본 고안의 목적을 달성하기 위해서는 반도체 칩이 탑재되는 대략 사각 모양의 칩탑재판과, 상기 칩탑재판과 일정거리 이격되어 그 둘레에 방사상으로 형성된 다수의 리드와, 상기 칩탑재판의 각 모서리에서 그 외주연으로 연장되어 상기 칩탑재판을 지지 및 고정하는 타이바로 이루어진 리드프레임 구조에 있어서, 상기 타이바는 차후 몰딩 컴파운드와 접하는 경계 부분의 폭이 최대한 작게 형성되어 모서리 부분이 크랙이 방지되도록, 그 타이바의 양측면이 더 절결되어

대략 상기 리드의 폭과 같아지도록 한 것을 특징으로 한다.

이하, 본 고안을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

제3도는 본 고안에 의한 리드프레임의 요부를 확대 도시한 것으로, 리드프레임(10)의 외부면 둘레에는 다수의 리드(11)가 형성되어 있고, 이 리드(11)의 중앙부에는 칩탑재판(15)이 구비되어 있으며, 상기 칩탑재판(15)의 상부에는 에폭시에 의해 반도체 칩이 부착되고, 이와 같이 부착된 반도체 칩 상에 구비된 칩패드와 리드(11)를 와이어로 본딩한 후, 그 외부면 산화 및 부식을 방지하기 위하여 컴파운드로 몰딩하고, 트림 및 포밍공정을 거쳐 반도체패키지를 성형하는 것이다.

이때, 상기 트림공정은 리드(11)와 리드(11)를 연결하고 있는 댄바(11')와 타이바(12)를 절단하는 것으로, 이와 같이 절단되는 타이바(12)의 크랙을 방지하기 위하여 타이바(12)의 양측을 절단하여 그 절단면적을 최대한 좁게 형성한 것이다. 이때, 상기 타이바(12)의 양측면에 절결되는 부위는 컴파운드재로 몰딩하였을 때 몰딩된 컴파운드재의 외부면 절결하는 것이다.

이와 같이 구성된 본 고안은 트림공정에서 타이바(12)를 절단할시 그 절단되는 면적이 최대한 좁게 형성되어 있으므로 전단응력이 적게 작용되어 크랙의 발생을 방지할 수 있는 것이다.

이상의 설명에서와 같이 본 고안에 의하면, 칩탑재판을 지지 고정하고 있는 타이바의 면적을 최대한 좁게 형성함으로써 트림시 발생하는 전단응력을 작게 하여 크랙을 방지함으로써 제품의 불량률을 없애고, 패키지의 신뢰성을 향상할 수 있는 효과가 있다.

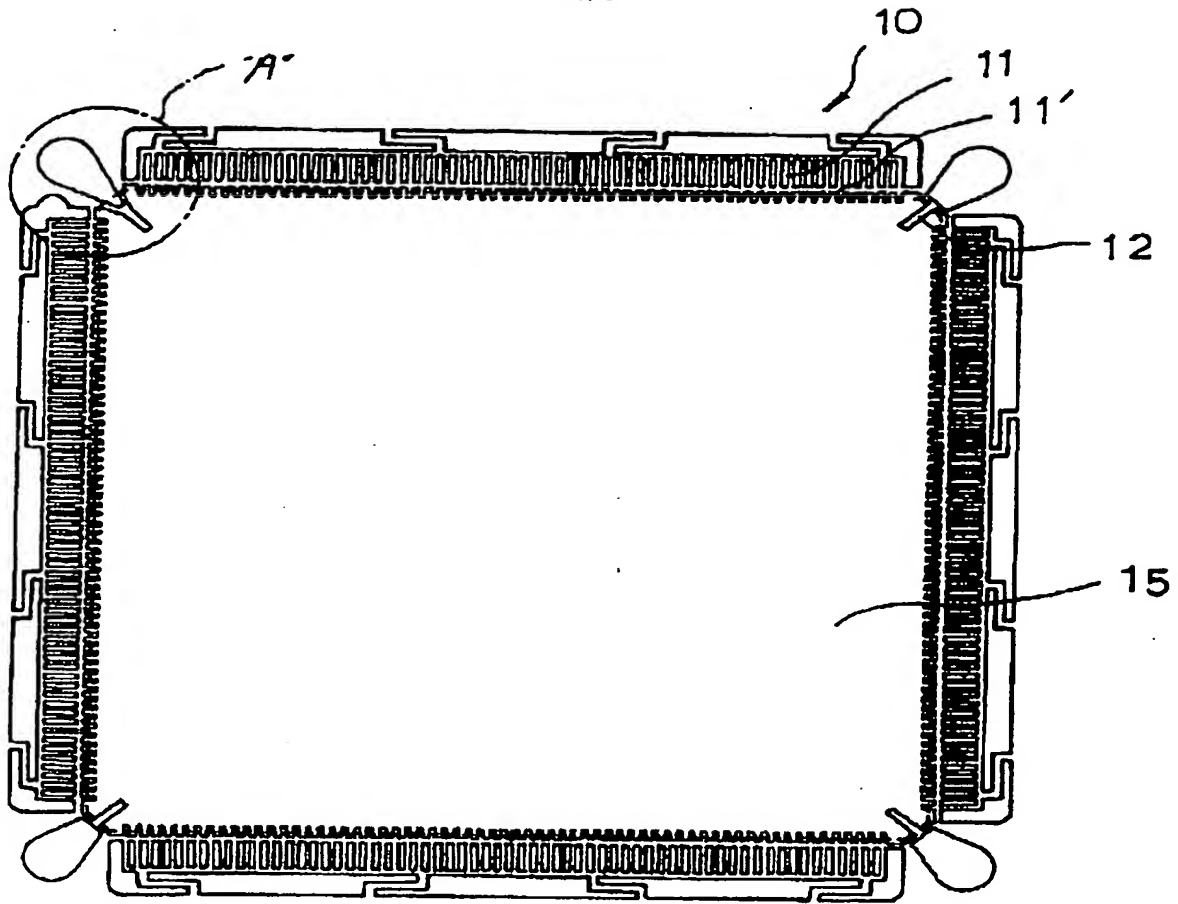
(57) 청구의 범위

청구항 1.

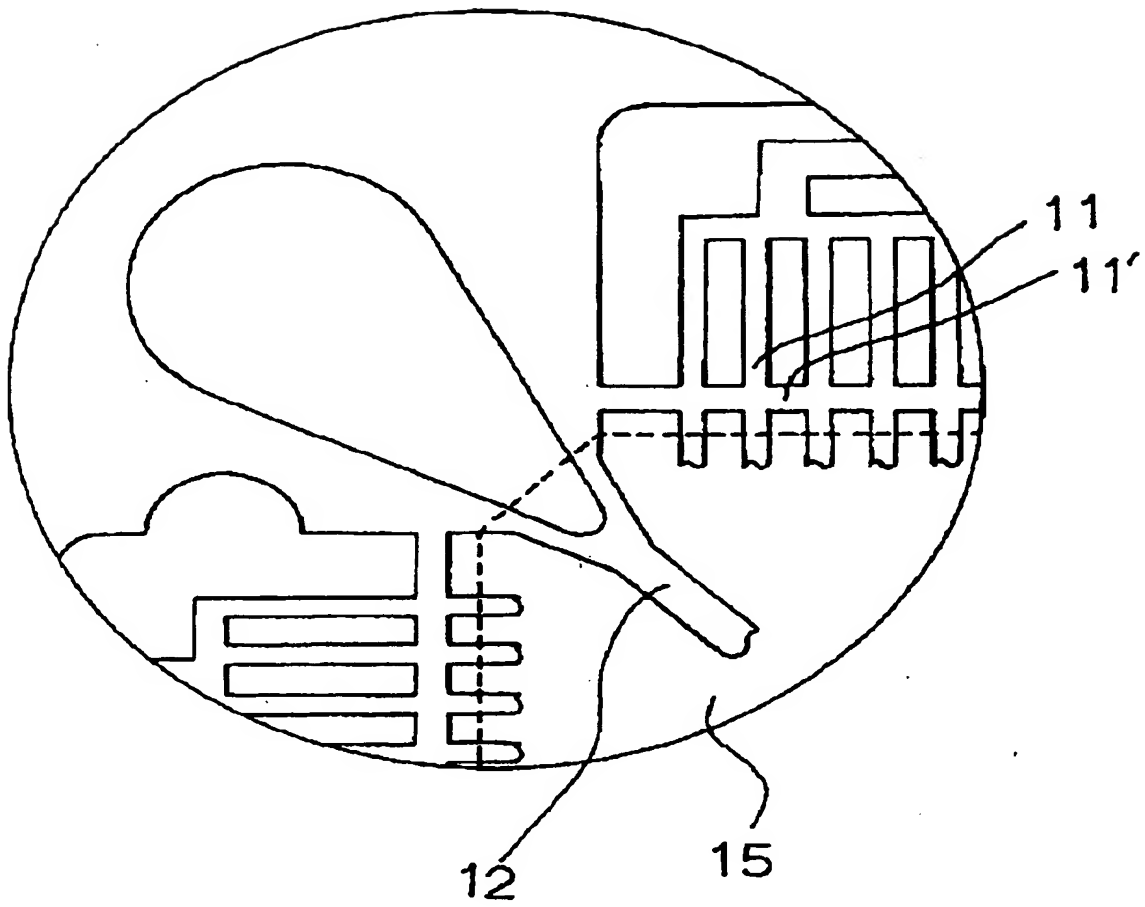
반도체 칩이 탑재되는 대략 사각 모양의 칩탑재판(15)과, 상기 칩탑재판(15)과 일정거리 이격되어 그 둘레에 방사상으로 형성된 다수의 리드(11)와, 상기 칩탑재판(15)의 각 모서리에서 그 외주연으로 연장되어 상기 칩탑재판을 지지 및 고정하는 타이바(12)로 이루어진 리드프레임(10) 구조에 있어서, 상기 타이바(12)는 차후 몰딩 컴파운드와 접하는 경계 부분이 폭이 최대한 작게 형성되어 모서리 부분의 크랙이 방지되도록, 그 타이바(12)의 양측면이 더 절결되어 대략 상기 리드(11)의 폭과 같아지도록 한 것을 특징으로 하는 반도체패키지의 리드프레임의 구조.

도면

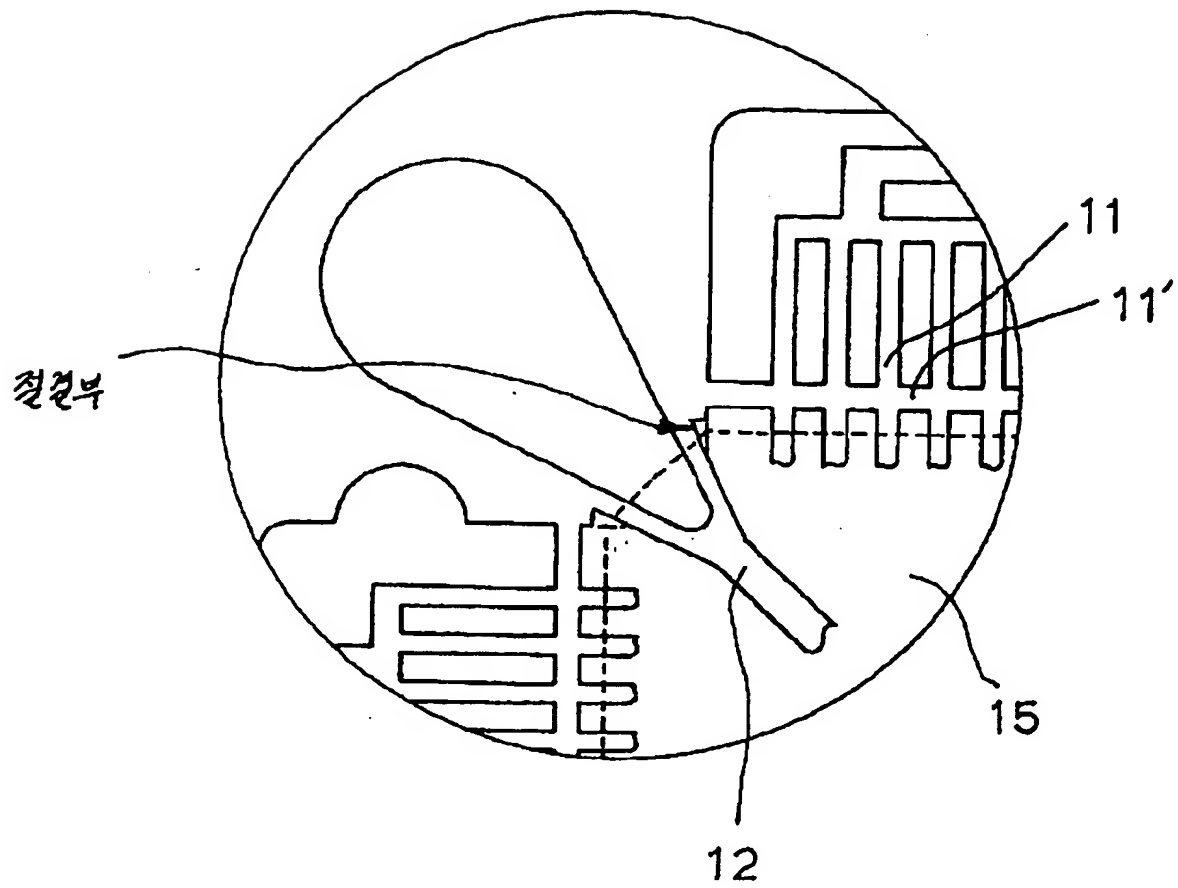
도면 1



도면 2



도면 3



KR1995-52621

TITLE OF THE INVENTION: LEAD FRAME STRUCTURE OF SEMICONDUCTOR
FRAME

5 ABSTRACT:

A lead frame structure of a semiconductor package prevents the crack of a chip out generated when a semiconductor chip is attached to a chip mounting plate formed on a lead frame, bonded with a wire, and molded by a compound, and a tie bar
10 fixedly supporting the chip mounting plate is cut, in order to avoid a defected product and improve the reliability of the package. The lead frame structure of a semiconductor package includes a number of leads formed around the outer peripheral surface thereof, a chip mounting plate positioned at the center
15 of the leads to mount a semiconductor chip thereon, and a tie bar formed on each corner of the chip mounting plate to fixedly support the chip mounting plate. Both surfaces of the tie bar are notched to reduce the width of the lead frame structure to the maximum.